

Image reading apparatus

Patent Number: ☐ US4999717
Publication date: 1991-03-12
Inventor(s): NAGASHIMA NAO (JP)
Applicant(s): CANON KK (JP)
Requested Patent: ☐ JP1141460
Application Number: US19880273478 19881121
Priority Number(s): JP19870301012 19871128
IPC Classification: H04N1/04
EC Classification: H04N1/393, H04N1/48C, H04N9/11
Equivalents: JP2578448B2

Abstract

An image reading apparatus provided with plural line sensors each having plural photosensitive elements and having mutually different image reading positions. The image reading positions of said plural line sensors is moved, and output image data of at least one of said plural line sensors is delayed in accordance with the difference in the image reading positions of said plural line. Further, the amount of data to be delayed is limited.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2578448号

(45) 発行日 平成 9 年 (1997) 2 月 5 日

(24) 登録日 平成 8 年 (1996) 11 月 7 日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/04 1/387			H 0 4 N 1/04 1/387	D

発明の数 1 (全 6 頁)

(21) 出願番号	特願昭62-301012	(73) 特許権者	999999999 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	昭和62年(1987)11月28日	(72) 発明者	長島 直 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(65) 公開番号	特開平1-141460	(74) 代理人	弁理士 丸島 儀一
(43) 公開日	平成1年(1989)6月2日	審査官	清水 正一

(54) 【発明の名称】 画像処理装置

1

(57) 【特許請求の範囲】

【請求項 1】異なる色出力を行なう複数のライン・イメージ・センサを副走査方向に配置したカラー画像読み取り装置において、

上記複数のライン・イメージ・センサの出力画像中の必要な領域部分のみを抜き取りデータ遅延手段に入力し、そのデータ遅延量を制御して上記複数のライン・イメージ・センサ間の物理的な位置を補正することを特徴とする画像処理装置。

【請求項 2】特許請求の範囲第 1 項に於いて、上記複数のライン・イメージ・センサの出力画像中の必要な領域部分は、画像読み取りの倍率、画像読み取りの画素密度、読み取り範囲によって規定されることを特徴とする画像処理装置。

【発明の詳細な説明】

2

【技術分野】

本発明は、原稿を CCD 等のライン・イメージ・センサを使用して読み取る画像読み取り装置に関する。

さらに詳細に言えば、異なる色出力を行なう複数のライン・イメージ・センサを副走査方向に配置してカラー画像の読み取りを行なうカラー画像読み取り装置の画像処理装置に関するものである。

【従来技術】

近年、CCD 等の固体撮像素子を使用したカラー画像の読み取りを行なうカラー画像読み取り装置の開発が盛んである。

こうしたカラー画像読み取り装置は、異なるカラー・フィルタを主走査方向に順次配置したカラー・ライン・イメージ・センサ又は異なる色出力を行なう複数のライン・イメージ・センサを副走査方向に配置したカラー・

ライン・イメージ・センサを使用した2種類の方式が一般的である。

前者の方式は、装置構成が簡単になるという特徴があるが、受光面積が多くとれないので光源に多くの光量を必要とし、また、主走査方向にカラー・フィルタを配置している事による読み取り画像のズレを補正する必要があるという欠点がある。

一方、後者の方式は、ライン・イメージ・センサ間の副走査方向の位置ズレを補正する為にメモリを用いて色信号間の同期を合わせ必要がある為に回路が複雑になるという欠点があるが、前者の方式のような欠点はない。

また、高画質読み取りの要求からライン・イメージ・センサの読み取り画素数も増加する傾向にあるが、前者の方式では後者の方式に対して3倍(3色読み取りの場合)の受光セル数が必要である事から、製造上不利になる。従って、高画質読み取りの要求に応じるためには、後者の方式でライン・イメージ・センサ間の副走査方向の位置ズレを補正する為の簡潔で安価な回路が必要となる。

特に、拡大読み取りを行なった場合にライン・イメージ・センサ間の副走査方向の位置ズレを補正する為のメモリ容量が等倍の時と比較して読み取り倍率と同じだけ必要となるので、このメモリ容量を減少する事が、上記の副走査方向の位置ズレを補正する為の簡潔で安価な回路の一つの条件となる。

〔発明の目的〕

本発明の目的は、上記説明の後者の方式のライン・イメージ・センサ間の副走査方向の位置ズレを補正する為の簡潔で安価な回路を提供する事を目的としており、詳しくは、異なる色出力を行なう複数のライン・イメージ・センサを副走査方向に配置したカラー画像読み取り装置において、

上記複数のライン・イメージ・センサの出力画像中の必要な領域部分のみを抜き取りデータ遅延手段に入力し、そのデータ遅延量を制御して上記複数のライン・イメージ・センサ間の物理的な位置を補正する画像処理装置を提供するものである。

〔実施例〕

以下、実施例をもとに本発明の詳細な説明を行なう。

第2図は、本発明を適用したカラー画像読み取り装置の断面図である。

密着型CCDライン・イメージ・センサ1は、光源2とともに光学系3として一体のユニットとして構成され、図の左右の方向(副走査方向)に移動し原稿台ガラス4に下向きに置かれた原稿像全面の読み取りを行なう。

密着型CCDライン・イメージ・センサ1は、夫々ライン上に配列された複数の受光素子からなり、互いに異なる色出力を行なう複数本のカラー・イメージ・センサを副走査方向に所定間隔をもって一体配置した物で、例えば、赤(R)、緑(G)、青(B)の色成分の画像デー

タを出力するものである。

光学系3は、図示のバルス・モータ5、プーリ7・8、駆動ベルト6よりなる走査系によって副走査方向への移動走査が行なわれる。

副走査方向の変倍動作は、副走査方向の移動速度を可変する事により行なう。即ち、密着型CCDライン・イメージ・センサ1の画像読み取りが倍率に無関係に一定の周期で画像読み取りを行なうものとする、等倍時の移動速度に対して移動速度を遅くすれば、同じ移動量に読み取られる画像データが増加する事から拡大動作が行なわれる。また、逆に等倍時の移動速度に対して移動速度を速くすれば、同じ移動量に読み取られる画像データが減少する事から縮小動作が行なわれる。

一方、密着型CCDライン・イメージ・センサ1の画像読み取り方向(主走査方向)の変倍は、画像データを水増しする事により拡大、画像データの間引を行なう事により縮小動作を行なう。

変倍動作と読み取り画像密着の変換動作は基本的に等価な動作であるので以下の説明では、変倍動作についてのみ説明を行なうものとする。

第1図は、本発明を適用したカラー画像読み取り装置の回路ブロックの例である。

ライン・イメージ・センサ10~12は、密着型CCDライン・イメージ・センサ1に一体配置されたカラー・イメージ・センサであり、それぞれ赤(R)、緑(G)、青(B)の色成分の画像データの出力を行なう。このライン・イメージ・センサ10~12は、副走査方向にライン・イメージ・センサ10・11間に距離1、ライン・イメージ・センサ10・12間に距離mの位置ズレがあり、この距離分をメモリを使用したデータ遅延回路を使用して補正する。

例えば、距離1、距離mが、主走査方向の記録密度に対して、それぞれ、10画素分、20画素分であるとする、等倍読取時にデータ遅延の為に必要なメモリ容量は、主走査データの10ライン分、20ライン分となる。

この場合、例えば、主走査、副走査時に10倍の拡大処理を単純に行なうと、メモリ容量は10倍必要となる。具体的に主走査1ライン分のデータが5Kバイトであるとすると、10倍の拡大処理を行なう為に、500K+1000K=1500Kバイトのメモリ容量が必要となる。

しかし、ライン・イメージ・センサ10~12の夫々から出力される主走査1ライン中の画素の内実際に使用するのは、例えば、プリンタの1ライン当りの出力画素数が倍率に無関係に一定であるとする、10倍の拡大処理時には1/10でよい。従って、変倍時に必要な画素を抜き取ってからメモリで遅延動作を行なえば、1500Kバイトの1/10、即ち、等倍時のメモリ容量で十分である事が分かる。

バッファ・アンプ13~15は、ライン・イメージ・センサ10~12より出力されるアナログ画像信号を夫々増幅す

るための回路であり、増幅されたアナログ画像信号は次段のアナログ・デジタル変換器（A/D変換器）16～18で夫々デジタル画像信号に変換される。

画像切りだし回路19～21は、上述の変倍率に応じて1ラインの画像中の必要な部分の画像データを切り出すための回路である。切り出された画像データは、遅延メモリ22、23で上述の距離1、m分のデータ遅延をされた後、画像切りだし回路21の画像出力と同じタイミングで画像出力される。

本実施例では、ライン・イメージ・センサ12に画像信号のタイミングを合わせる事により、ライン・イメージ・センサ12用の遅延メモリを省略している。

次に、第3図のタイミング・チャートを使用して第1図の回路の動作例を説明する。

第3図のタイミング・チャートは、距離1、mと変倍率によるデータ遅延量が、それぞれ4.6ライン、2.3ラインの場合のタイミングを示している。このタイミング・チャートは、説明を簡単にする為に距離1、mが2画素分、1画素分であるものとし、230%の拡大動作を行なう場合を示すものとする。

A/D変換器16の出力を図示のように画素切り出し回路19の出力する切り出しエリア分（ハイ・レベルの部分であり、この場合230%の拡大動作であるので等倍時の約1/2.30のエリア）を遅延メモリ22に記憶する。同様に、A/D変換器17の出力を画素切り出し回路20で図示の様に切り出し、遅延メモリ23に記憶する。

画素切り出し回路21では、A/D変換器18の出力の図示のエリアの切り出しを行なう。この切り出された出力に合わせて遅延メモリ22、23より、距離1×倍率分及び距離m×倍率分、即ち、4.6及び2.3ライン分のデータ遅延をされた画像出力が、図示のRGB出力として同時に出力される。

この遅延動作を行なう事により、副走査方向の距離1、mのセンサー間の位置ズレは補正され、以降の回路では、同タイミングで各原稿の同一箇所を読み取った画像データの処理（例えば、マスキング処理）を行なう事が可能になる。

次に、第4図を用いて、第1図の画素切り出し回路19～21、遅延メモリ22、23の具体的な回路構成例を説明する。

第4図（a）に於いて、遅延メモリ22、23に相当するのがファースト・イン・ファースト・アウト・メモリ（FIFOメモリ）30、31である。また、画素切り出し回路19～21に相当する回路が32～39の回路である。

第4図（b）において、35～39の回路は、切り出しエリアの出力を行なうための回路であり、第3図の画素切り出し回路19～21で使用する切り出しエリアに相当する信号RWE、QWE、BGTの出力を行なうための回路である。

信号RWE、QWE、BGTのタイミングは、予めバス・トランシーバ36、データ・マルチプレクサ38を介して不図示

のマイクロ・コンピュータ等のCPU（セントラル・プロセッシング・ユニット）によって、倍率、編集情報により決定されるタイミングを発生するデータをランダム・アクセス・メモリ（RAM）37に書き込んでおく。その後、RAM37から主走査カウンタ39のカウント値に従ってデータを順次読み出し、所定のタイミング信号を得る。

主走査カウンタ39は、例えば、ライン・イメージ・センサ12に同期して主走査1ライン中の画素クロックVCKをカウントする。例えば、主走査カウンタ39がアツプ・カウンタであるとした場合、ライン・イメージ・センサ12が、光電荷蓄積、もしくは、画像転送を開始するのに同期し、初期値より画素クロックVCKをカウント・アツプし、これを毎主走査毎に繰り返す。従って、この場合、ライン・イメージ・センサ12の動作を基準に信号RWE、QWE、BGTを発生するようにRAM37にデータを書き込むようにすれば良い。

FIFO30では、信号RWEにより必要なデータの書き込みが行なわれ、遅延量制御回路33で予めCPUによりセットされた遅延値分だけ遅らされた後、信号BGTのタイミングでデータの読み出しを行なう。遅延量制御回路33では、遅延量に応じてFIFO30の書き込み、読み出し動作のリセット信号の出力を行なう。FIFO31でも、信号QWE、遅延量制御回路34により同様の動作が行なわれる。

ゲート回路32は、例えば、論理割ゲートであり、後段の回路に信号BGTの有効区間分のデータのみを出力するための回路である。ゲート回路32は、後段の回路が余分な画像データがあっても問題無い場合には、特に無くとも良い。

次に、第5図を使用してカラー複写機の画像読み取り部として動作した場合のCPUの簡単な制御フロー・チャートの例を示す。

電源オン後、ステップSP1で、装置の初期化動作を行ない、ステップSP2でコピー・スタートの指示が操作部等から来る迄待機する。

ステップSP3では、変倍率、画像編集（画像のトリミング等）の情報を元にRAM37に書き込むデータを演算し、遅延量制御回路33、34にセットする遅延値を演算しセットする。

ステップSP4で、コピー動作を開始し、ステップSP5でコピー終了迄待機し、コピー終了後、ステップSP2に戻り動作を繰り返す。

このように本実施例では、RAM37に書き込むデータ、遅延量制御回路33、34にセットする遅延値により上述の動作を達成している。

ところで、読み取りの解像度を向上させるために、イメージ・センサの蓄積時間を少なくする事が行なわれている。例えば、主走査1ライン分の時間に主走査2ライン分の読み取り動作を行なうようにした場合（倍密度読み取り）、原稿読み取りの際の副走査方向の光電荷蓄積中の移動量が半分になるために副走査方向の読み取りエ

リアが減少する事から解像度の向上が行なわれる。

こうした倍密度読み取りを行なった場合、2ラインのうち1ライン分のデータを生かせば良いので、本発明を適用した場合、第6図に示すように、1ラインおきに画像切り出しエリアを出力するようにして遅延メモリのメモリ容量を減少させれば良い。

また、縮小動作を行なう場合、一般に画像データの間引き処理を行なう為に、遅延メモリに画像データを書き込む際に第7図に示すように縮小動作を画像切り出し時に行なうようにして遅延メモリのメモリ容量を減少させる事も考えられる。

本実施例では、主走査、副走査共に同じ倍率である事を前提に説明を行なったが、倍率が異なる場合にも本発明を適用する事が可能である。

この場合問題となるのは、主走査倍率が等倍で副走査倍率が拡大といった場合である。即ち、この場合、主走査1ライン中で必要な画像数が減少しないのに副走査のライン数が増加するために、主走査、副走査共に等倍の時に比較して必要な遅延メモリの容量が増大するからである。

然しながら、原稿の置き方を第8図(a)から第8図(b)のように置き換える、即ち、原稿の置き方を主走査、副走査逆にする事により解決する事が出来る。この場合、上記の例では同じ画像出力を得る為に、主走査倍率が拡大、副走査倍率が等倍と設定出来る事になるので、主走査、副走査共に等倍の時に比較した必要な遅延メモリの容量は減少するからである。

このように、主走査、副走査の倍率を独立に可変出来る様にした場合は、主走査倍率 \geq 副走査倍率とする事により、主走査、副走査共に等倍の時に比較して必要な遅延メモリの容量を減少させる事が出来る。

*

* 従って本発明を適用する為には、倍率設定時に上記条件を満たさない倍率設定を禁止する、もしくは、設定された場合に第8図に示すような原稿の置き方を変えるようなメッセージを出力する等して対応すれば良い。

【効果】

以上説明のように本発明によれば、変倍処理、読み取り画素密度に関わらず、所定の容量のデータ遅延の為の遅延手段を設ければ良く、回路コストに占める遅延手段のコストの割合を減少する事が可能になり、上記説明のように簡便な回路構成で実現する事が可能になった。

【図面の簡単な説明】

第1図は本発明を適用したライン・イメージ・センサを使用した原稿読み取り装置の回路の構成例を示すブロック図、

第2図は原稿読み取り装置のメカ機構の簡単な説明図、

第3図は第1図の回路ブロックのタイミング・チャートの例、

第4図は第1図の画素切り出し回路19~21及び遅延メモリ22、23の具体的な回路構成例を示す図、

第5図は制御フロー・チャート図、

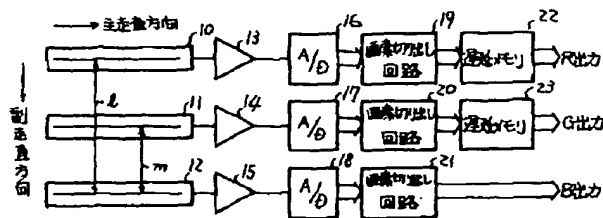
第6図は倍密度読み取りを行なった場合の画素切り出しの一例を示すタイミング・チャート図、

第7図は縮小時の画素切り出しの一例を示すタイミング・チャート図、

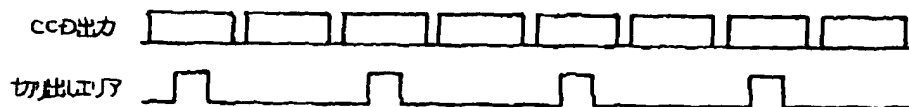
第8図は主走査、副走査倍率が独立の場合の原稿の置き方の説明図であり、

1は密着型CCDライン・イメージ・センサ、10~12はライン・イメージ・センサ、19~21は画素切り出し回路、22及び23は遅延メモリである。

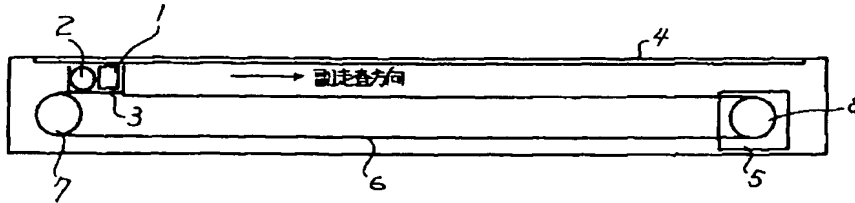
【第1図】



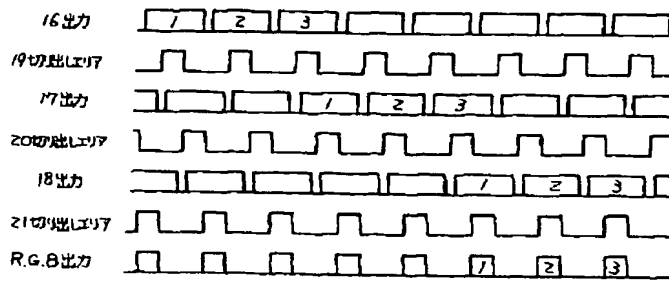
【第8図】



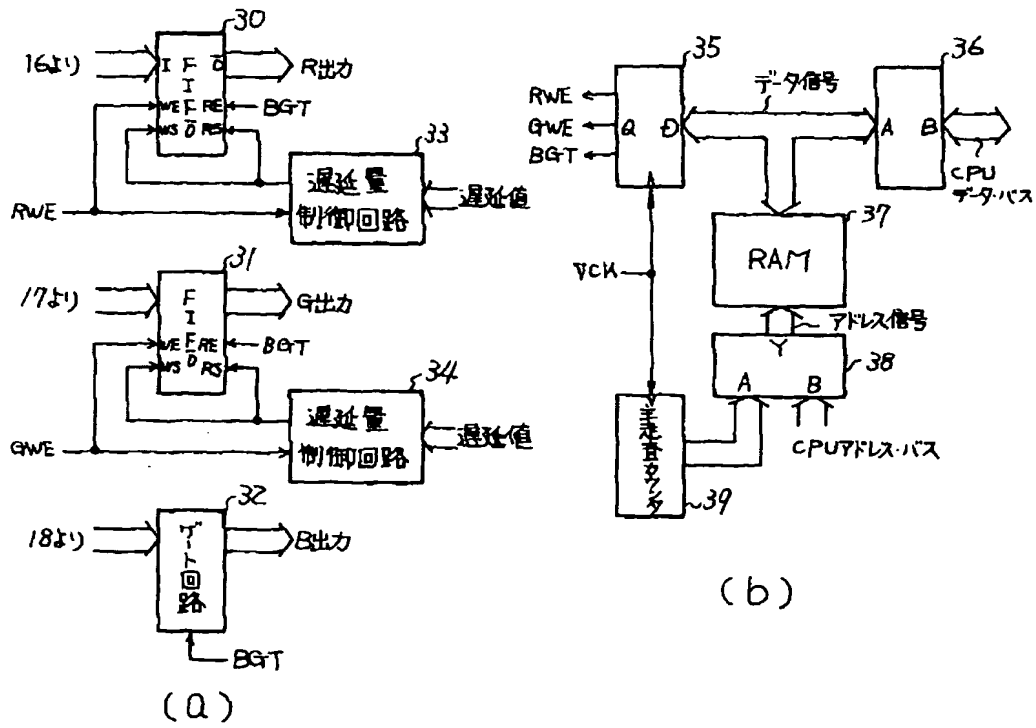
【第2図】



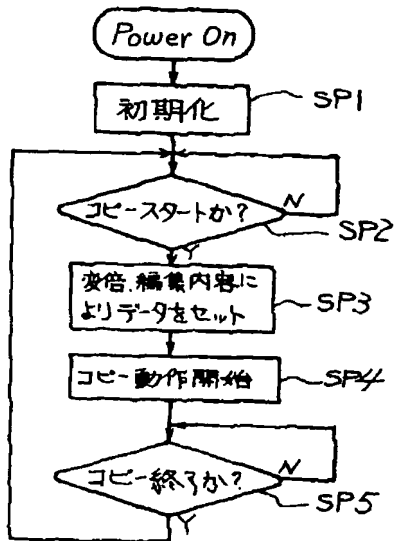
【第3図】



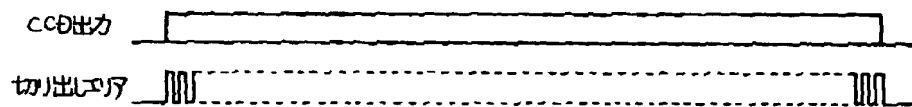
【第4図】



【第5図】



【第7図】



【第8図】

